

**PATENT ABSTRACTS OF JAPAN**

(11)Publication number : 06-187074

(43)Date of publication of application : 08.07.1994

(51)Int.Cl.

G06F 1/32

(21)Application number : 05-172130

(71)Applicant : INTEL CORP

(22)Date of filing : 21.06.1993

(72)Inventor : LEAK DAVID A

(30)Priority

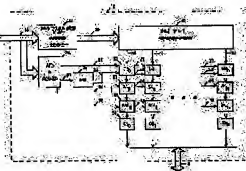
Priority number : 92 901565 Priority date : 19.06.1992 Priority country : US

**(54) METHOD AND DEVICE FOR SAVING POWER CONSUMPTION**

(57)Abstract:

PURPOSE: To save the power consumption of a memory device by detecting address transition and enabling/disabling the access circuit, the sense-amplifier circuit and the output buffer circuit of a memory array.

CONSTITUTION: A memory access logical circuit 22 decodes the transition of an address, accesses to a memory cell in the memory array 20 and latches a logical bit sensed by the sense-amplifier circuit SA to process the address. After then, a circuit 24 for the detection of address transition and power consumption disables a circuit for processing new data with respect to new address transition. In addition, in order to save the power consumption of DC until the detection of next address transition with respect to a sense-amplifier latch circuit SAL, the circuit 24 for the detection of address transition and power consumption disables the sense-amplifier circuit SA, drain bias circuits DB and 26.

**LEGAL STATUS**

[Date of request for examination]

16.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

特開平6-187074

(43)公開日 平成6年(1994)7月8日

(51)Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 F 1/32

7165-5B

G 0 6 F 1/ 00

3 3 2 E

審査請求 未請求 請求項の数2(全 6 頁)

(21)出願番号 特願平5-172130

(22)出願日 平成5年(1993)6月21日

(31)優先権主張番号 9 0 1 5 6 5

(32)優先日 1992年6月19日

(33)優先権主張国 米国( U S )

(71)出願人 591003943

インテル・コーポレーション

アメリカ合衆国 95052 カリフォルニア

州・サンタクララ・ミッション カレッジ

ブーレバード・2200

(72)発明者 デビッド・エイ・リーク

アメリカ合衆国 95670 カリフォルニア

州・ランチョ コルドヴァ・ラダット サ

ークル・2352

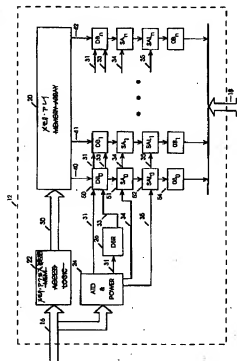
(74)代理人 弁理士 山川 政樹

(54)【発明の名称】 電力消費を節減する方法および装置

(57)【要約】

【目的】 コンピュータの消費電力を節約する。

【構成】 電力消費の節減をするために、デバイスにおけるアドレス変移の検出を用いる方法および装置。アドレス・バス上でのアドレスの遷移を検出する。アドレス遷移の検出回路によれば、新規なアドレスの遷移に対する新規なデータを処理するための回路が可能化される。その後で、デバイスによる新規なアドレスの処理がなされる。そして、次のアドレス遷移の検出がなされるまでは直流電力の消費を節減するために、アドレス遷移変移を処理するための回路が、アドレス遷移の検出および電力節減回路によって不可能にされる。



【特許請求の範囲】

【請求項1】 コンピュータ・システムにおけるデバイスの電力消費を節減するための方法であって、アドレス・バスのアドレスの遷移を検出し、

そのアドレス遷移に対応するアドレスおよびデータの処理をする回路を可能化し、

そのアドレス遷移に対応するアドレスおよびデータを処理し、そのアドレス遷移に対応するアドレスおよびデータの処理をする回路を不可能化すること、を備えている電力消費を節減する方法。

【請求項2】 コンピュータ・システムにおけるデバイスの電力消費を節減する装置において、アドレス・バスのアドレスの遷移を検出するための手段、

そのアドレス遷移に対応するアドレスおよびデータの処理をする回路を可能化する手段、

そのアドレス遷移に対応するアドレスおよびデータの処理をする手段、

そのアドレス遷移に対応するアドレスおよびデータの処理をする回路を不可能化する手段、

を備えた電力消費を節減する装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、コンピュータ・システム・アーキテクチャおよび集積回路デバイスに関するものである。より詳細に言えば、この発明は、コンピュータ・システムにおけるデバイスの電力消費を最小限にすることに關するものである。

【0002】

【従来の技術】コンピュータ・システムにおけるデバイスは、アドレス・バスを通して送信されるアドレス信号、および、データ・バスを通して送信されるデータ信号を用いて通信のために結合されることが多い。アドレス・バスおよびデータ・バスを介する通信のために結合されたデバイスに典型的に含まれているものは、アドレス・バスを介してアドレスを受信するための回路、そのアドレスに응答する回路、および、データ・バスを介してデータを送信するための回路である。

【0003】例えば、典型的なメモリ・デバイスではアドレス・バスを介してアドレスを受け入れ、これに依り、データを蓄積する内部メモリ・アレイへアクセスする。このメモリ・デバイスに典型的に含まれているものは、メモリ・アレイへアクセスするための回路、メモリ・アレイの内容をセンスするための回路、および、データ・バスを介してメモリ・アレイからデータを伝送するための回路である。

【0004】不都合なことに、アドレス・バスを介してアドレスを受け入れるための、そのアドレスに응答するための、そして、データ・バスを介してデータを伝送す

るためのデバイスの回路は、典型的には、使用されないときでも一定の直流電流が流れるものである。例えば典型的なメモリ・デバイスにおいては、メモリ・アレイへアクセスするための、そのメモリ・アレイの内容をセンスするための、そして、データ・バスを介してメモリ・アレイからデータを伝送するための回路は、アドレス・バス上のアドレス変移の間に直流電流が流れるものである。その結果としてそのデバイスは過度の直流電流を消費し、このためにシステムは過度の電力を消費することになる。

【0005】ある種のこれまでのデバイスは、電力の消費を節減するスタンバイ・モードを有している。このようなデバイスは、CPUに対して、そのデバイスが必要とされないときにスタンバイ・モードへの切り替えを要求する。次いで、デバイスが必要になったときには、CPUによってノーマル・モードに戻るよう切り替えられる。しかしながら、このスタンバイ・モードは、通常のシステムの操作におけるアクセスの間のデバイスの電力消費を節減するのには不適当なものである。デバイスのモードを切り替えるために必要とされるオーバーヘッドは、そのデバイスに対するスループットを著しく減少させるものである。

【0006】

【発明の概要および目的】この発明の一つの目的は、コンピュータ・システムにおけるデバイスの電力消費を節減することにある。

【0007】この発明の別の目的は、コンピュータ・システムにおいてアドレス・バスに結合されたデバイスのノーマル動作の間に、その電力消費を節減することにある。

【0008】この発明の別の目的は、アドレス・バスを介して検出されたアドレスの遷移に従って、ある一つのデバイス内の回路を選択的に可能化し、また、不可能化することにある。

【0009】この発明の別の目的は、アドレス遷移を検出して、メモリ・アレイのアクセス回路、センス・アンプ回路および出力バッファ回路を可能化および不可能化することにより、メモリ・デバイスの電力消費を節減することにある。

【0010】この発明の更に別の目的は、検出されたアドレスの遷移に従って不使用の回路を選択的に可能化および不可能化することにより、システムのバッテリー寿命を増大させることにある。

【0011】この発明のこれらの目的および他の目的は、電力消費を節減するようにアドレス遷移の検出を用いる方法および装置によって付与されるものである。デバイスのアドレス遷移の検出および電力消費の回路は、アドレス・バスのアドレスの遷移を検出する。アドレス遷移の検出回路によれば、アドレスの遷移を処理するための回路が可能化される。ある一つのメモリ・デバイス

のアドレス遷移のための新規なデータを処理する所定の回路を構成するものは、センス・アンプ回路、ドレイン・バイアス回路およびドレイン・バイアス基準回路である。ある一つのメモリ・デバイスは、アドレスの遷移をデコードし、メモリ・アレイにおけるメモリ・セルをアクセスし、センス・アンプ回路によってセンスされた論理ビットをラッチすることによりアドレスを処理する。その後で、アドレス遷移の検出および電力消費の回路により、新規なアドレスの遷移に対する新規なデータを処理するための回路が不可能化される。ある一つのメモリ・デバイスに対して、次のアドレスの遷移が検出されるまで直流の電力消費を節減するように、アドレス遷移の検出および電力消費の回路により、センス・アンプ回路、ドレイン・バイアス回路およびドレイン・バイアス基準回路が不可能化される。

【0012】この発明の別の目的、特徴および利点については、添付の図面および以下の詳細な説明から明かにされる。

【0013】この発明の説明は添付された図のものを例としてなされているが、これに限定されるものではない。なお、図における参照記号は同一または類似のものを指示するものである。

【0014】

【実施例】図1は、バス14を介してメモリ・デバイス12との通信のために結合されたCPU10を示すブロック図である。バス14を構成するものは、アドレス・ライン、データ・ラインおよび制御信号ラインである。バス14で表されるものは、コンピュータ・システムの要素間での通信のために用いられる多様なバスである。

【0015】メモリ・デバイス12にはバス14のアドレス部分16が結合されており、これを介してアドレスを受け入れるようにされている。メモリ・デバイス12にはバス14のデータ部分18が結合されており、これを介してデータを伝送するようにされている。メモリ・デバイス12にはバス14のコントロール部分（図示されない）も結合されており、これを介して制御信号を伝送するようにされている。一つの実施例に対しては、このメモリ・デバイス12はフラッシュ・メモリ・デバイスにされている。

【0016】図2は、一つの実施例に対するメモリ・デバイス12の回路要素を示すブロック図である。メモリ・アクセス論理回路22にはバス14のアドレス部分16が結合されており、これを介してアドレスを受け入れるようにされている。このメモリ・アクセス論理回路22によれば、受け入れられたアドレスのデコードがなされ、アクセス信号バス30を介してメモリ・アレイ・アクセス信号が発生される。

【0017】メモリ・アレイ20には、フラッシュ・メモリ・デバイス12のためのメモリ・セルが含まれている。メモリ・アレイ20にはアクセス信号バス30が結

合されており、これを介してメモリ・アレイ・アクセス信号を受け入れるようにされている。そのメモリ・アレイ・アクセス信号によってメモリ・アレイ20で選択されたメモリ・セルがビット・ラインのセットに結合するようにされる。一つの実施例では、メモリ・アレイ20には4メガバイトのデータが保持されている。

【0018】メモリ・アレイ20のそれぞれのビット・ラインの出力は、ドレイン・バイアス回路（DB）、センス・アンプ回路（SA）、センス・アンプ・ラッチ回路（SAL）、および、出力バッファ回路（OB）を介する伝送のために結合されている。

【0019】例えば、メモリ・アレイ20のビット・ラインの出力40は、DB0 50、SA0 51、SAL0 52、およびOB0 54を介する伝送のために結合されている。同様にして、メモリ・アレイ20のビット・ラインの出力41は、DB1、SA1、SAL1、およびOB1を介する伝送のために結合されており、また、メモリ・アレイ20のビット・ラインの出力42は、DBn、SAn、SALn、およびOBnを介する伝送のために結合されている。一つの実施例では、メモリ・アレイ20のビット・ラインの出力は16個の出力から構成されている。

【0020】複数のDB、複数のSA、複数のSAL、および複数のOBの機能は実質的に同様なものであり、以下の説明はDB0 50、SA0 51、SAL0 52、およびOB0 54を例としてなされる。

【0021】DB0 50はビット・ライン出力40に接続されたメモリ・アレイ20のメモリ・セルのドレイン・バイアス電圧レベルを制御する。このDB0 50はメモリ・セルに対するドレイン・バイアス電圧レベルが高いレベルに達することがなく、また、該メモリ・セルの論理状態が反転するのを確実にすることである。DB0 50はDB0 50が可能化されたときに直流電流が流れるトランジスタ・バイアス回路を含んでいる。このDB0 50は、信号ライン33を介してドレイン・バイアス基準信号を受信する。

【0022】ドレイン・バイアス基準信号33は、ドレイン・バイアス基準回路（DBR）26によって発生される。このドレイン・バイアス基準信号33はDB0 50により使用されて、メモリ・アレイ20をアクセスするために、ビット・ライン40に結合されたメモリ・セルのドレイン・バイアス電圧レベルをセットする。DBR 26はDBR 26が可能化されたときに直流電流が流れるトランジスタ・バイアス回路を備えている。

【0023】DB0 50は、ビット・ラインの出力40に結合されているメモリ・セルによって流れる電流をSA0 51へ流す。このSA0 51は、ビット・ライン40の電圧を基準電圧と比較して、ビット・ライン40に結合されているメモリ・セルの論理状態を決定する。SA0 51はSA0 51が可能化されたときに直流電流が流

すトランジスタ・バイアス回路を備えている。

【0024】SAL0 52は、SA0 51からのデータをラッチする。OB0 54はバス14のデータ部分18を介する伝送のために、ビット・ラインの出力40上のデータ・ビットをバッファする。

【0025】アドレス遷移の検出および電力節減回路(ATD & POWER) 24は、バス14のアドレス部分16を介してアドレスを受け入れるように結合されている。ATD & POWER 24は、バス14のアドレス部分16を介してアドレスの遷移を検出し、また、メモリ・デバイス12による電力消費を節減する回路を可能化し、不可能化する制御信号を発生する。

【0026】ATD & POWER 24は信号ライン31へドレイン・バイアス可能化(DBEN) 信号を発生する。この信号ライン31は、DBR 26およびドレイン・バイアス回路(DB0-DBn)にその信号を伝送するために結合されている。DBEN信号31の高い論理状態により、DBR 26およびDB0-DBn内のトランジスタ・バイアス回路がオンにスイッチされる。DBEN信号31の低い論理状態によって、DBR 26およびDB0-DBn内のトランジスタ・バイアス回路がオフにスイッチされる。

【0027】ATD & POWER 24は信号ライン34へセンス・アンプ可能化(SAEN) 信号を発生する。この信号ライン34はセンス・アンプ回路SA0-SA<sub>n</sub>に対する伝送のために結合されている。SAEN信号34の高い論理状態により、センス・アンプ回路SA0-SA<sub>n</sub>内のトランジスタ回路がオンにスイッチされる。そして、SAEN 信号34の高い論理状態によって、センス・アンプ回路SA0-SA<sub>n</sub>内のトランジスタ回路をオフに切り替える。

【0028】ATD & POWER 24は、信号ライン35へセンス・アンプ・ラッチ可能化(SALEN) 信号を発生する。この信号ライン35は、センス・アンプ・ラッチ回路SAL0-SAL<sub>n</sub>に対する伝送のために結合されている。このSALEN信号35は、センス・アンプ・ラッチ回路SAL0-SAL<sub>n</sub>にセンス・アンプ回路SA0-SA<sub>n</sub>の出力をラッチさせる。

【0029】図3には、ATD & POWER 24の一つの実施例が示されている。このATD & POWER 24は、アドレス遷移の検出回路(ATD) 64および論理ゲート70-73によって構成されている。このATD 64は、SALEN信号35、ATD\_MP信号61およびATD\_PWR信号60を発生する。

【0030】ATD 64は、バス14のアドレス部分16の各アドレス信号に対するアドレスの遷移を検出し、遷移を検出したときはいつでも一つのパルスを発生する。ATD\_MP信号61は、アドレス信号に対して発生されたATDパルスの加算である。ATD\_PWR信号60は、センス・アンプの電力節減のために用いられ

る。

【0031】SAEN信号34はNORゲート70によって発生される。このNORゲート70に対する入力1は、インバータ71を通して反転されたSALEN信号35およびATD\_PWR信号60である。SALEN信号35およびATD\_MP信号61は、NORゲート72に対する入力である。NORゲート72の出力は、インバータ73により反転されて、DBEN信号31を発生する。

【0032】図4に例示されているタイミング図は、デバイス12の回路要素の電力節減のためのものである。ATD & POWER 24は、バス14のアドレス部分16のアドレス遷移を検出して、回路要素を選択的に可能化し、不可能化する信号を発生し、メモリ・アレイ20からのデータをラッチする。受信されたアドレス信号(ADDR) および伝送されたデータ(DATA) が、ATD\_MP信号61、SALEN信号35、ATD\_PWR信号60、DBEN信号31およびSAEN信号34とともに示されている。

【0033】時点1においては、バス14のアドレス部分16を介して受け入れられたADDR信号のアドレスの遷移が、ATD 64によって検出される。これに応じて、時点2においては、ATD 64がATD\_MP信号61の低から高への遷移を発生する。このATD\_MP信号61の低から高への遷移のために、時点3においては、SALEN信号35、ATD\_PWR信号60およびDBEN信号31の低から高への遷移がなされる。

【0034】DBEN信号31の高い論理状態により、DBR 26およびドレイン・バイアス回路DB0-DBnが可能化する。このDBEN信号31の高い論理状態により、ドレイン・バイアス基準信号33を発生するDBR 26内のトランジスタ・バイアス回路をオンにスイッチする。また、DBEN信号31の高い論理状態により、ドレイン・バイアス回路DB0-DBn内のトランジスタ・バイアス回路もオンにスイッチされて、アクセスされているメモリ・アレイ20のメモリ・セルに対するドレイン・バイアス電圧レベルがセットされる。

【0035】時点4においては、ATD\_PWR信号60の高から低への遷移がATD 64によって発生される。このATD\_PWR信号60の高から低への遷移のために、時点5において、SALEN信号34が低から高に遷移する。このSALEN信号34の高い論理状態のために、センス・アンプ回路SA0-SA<sub>n</sub>が可能化する。

【0036】その後の時点6においては、出力バッファ回路OB0-OBnがバス14のデータ部分18を介してアクセスされたメモリ・セルからのデータ(DATA) を伝送する。時点7においては、ATD & POWER 24がSALEN信号35の高から低への遷移を発生させ、センス・アンプ・ラッチ回路SAL0-SAL<sub>n</sub>にセ

ンス・アンプ回路SA0-SAnの出力をラッチさせる。

【0037】時点8においては、ドレイン・バイアス回路が、ATD & POWER 24によって不可能化される。さらにDBR 26およびドレイン・バイアス回路DB0-DBnを不可能化するDBEN信号31の高から低への遷移が、ATD & POWER 24によって発生される。DBEN信号31の低い論理状態により、DBR 26内のトランジスタ・バイアス回路およびドレイン・バイアス回路DB0-DBnがオフにスイッチされて直流電流の流れを減少し、これによって電力の消費を節減する。

【0038】また、この時点8においては、センス・アンプ回路もATD & POWER 24によって不可能化される。ATD & POWER 24はセンス・アンプ回路SA0-SAnを不可能にするSAEN信号34の高から低への遷移を発生する。SAEN信号34の低い論理状態は、センス・アンプ回路SA0-SAn内のトランジスタ・バイアス回路をオフに切り替えて直流電流の流れを減少し、これによって電力の消費を節減する。

【0039】その後で、センス・アンプ・ラッチ回路SAL0-SALnは、出力バッファ回路OB0-OBnによる出力に対するデータの保持する。ドレイン・バイアス回路DBR 26とDB0-DBn、および、センス・アンプ回路SA0-SAnは不可能化の状態に留まり、ATD & POWER 24によって次のアドレスの遷移が検出されるまで、電力の消費を節減する。

【0040】これまでの詳細な説明においては、この発

明はその特定の例解的な実施例に關して説明された。しかしながら、ここで明かであろうことは、添記された特許請求の範囲において開示されているように、この発明のより広範な精神および範囲から逸脱することなく、種々の修正および変更を施すことは可能である。従って、この発明に關する明細書の記載および添付図面の記載は、限定的な意味ではなく、例示的なものとして考慮されるべきである。

#### 【図面の簡単な説明】

【図1】バスを介してメモリ・デバイスとの通信のために結合されたCPUを示すブロック図である。

【図2】メモリ・デバイスの回路要素を例示するブロック図であって、メモリ・アレイ、ドレイン・バイアス回路およびドレイン・バイアス基準回路、センス・アンプ回路、出力バッファ回路、アドレス・デコード回路、および、アドレス遷移の検出および電力節減回路、を含むようにされている。

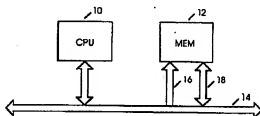
【図3】ある一つの実施例のためのアドレス遷移の検出および電力節減回路を例示するものであり、アドレス遷移の検出回路および論理ゲートから構成されている。

【図4】メモリ・デバイスによる電力節減のための、ある一つの実施例に対するアドレス遷移の検出および電力節減回路によって発生される信号のためのタイミング例示図である。

#### 【符号の説明】

10—CPU、12—メモリ・デバイス、14—バス、16—アドレス部分、18—データ部分。

【図1】



【図3】

